

LAIKINIO SKAITMENINIO KEITIKLIO SKIRIAMOSIOS GEBOS DIDINIMAS

Marijan JURGO¹, Romualdas NAVICKAS²

Vilniaus Gedimino technikos universitetas, Vilnius, Lietuva
El. paštas: ¹marijan.jurgo@vgtu.lt; ²romualdas.navickas@vgtu.lt

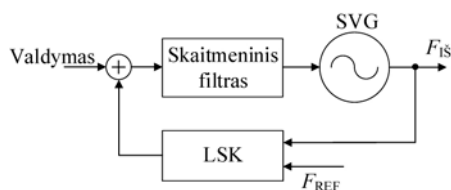
Santrauka. Laikinis skaitmeninis keitiklis (LSK) yra vienas pagrindinių visiškai skaitmeninės struktūros dažnio sintetatoriaus (DS) bloką, atliekantis fazės detektoriaus funkciją. LSK išėjimo signalas yra skaitmeninis, todėl jis daro įtaką kvantavimo triukšmui dažnio sintetatoriaus išėjime. Siekiant gerinti DS išėjimo triukšmo lygį, reikia didinti LSK skiriamąją gebą. Ją galima didinti tobulinant KMOP technologiją arba LSK struktūrą. Pats paprasčiausias LSK yra paremtas inverterių vėlinimo linija, o jo skiriamoji geba yra atvirkščiai proporcinga mažiausiam laiko tarpui, kurį galima išmatuoti tokiu LSK – t. y. inverterio vėlinimo trukmei. Jos mažinimas yra technologinio LSK skiriamosios gebos didinimo esmė. Darbe yra parodoma inverterio vėlinimo trukmės priklausomybė nuo technologinių parametrų ir skaičiuojamos jos reikšmės taikant 65 nm KMOP technologiją. Skaičiavimai rodo, kad inverterio vėlinimo trukmė taikant šią technologiją gali kisti nuo 7 ps iki 54 ps. Kai yra projektavimo apribojimas, norint taikyti tam tikrą KMOP technologiją, pagal kurią inverterio vėlinimo trukmė negarantuoja reikiamo DS fazės triukšmo lygio, reikia tobulinti LSK struktūrą. Tobulinant LSK struktūrą, siekiama išmatuoti laiko tarpą, mažesnę nei inverterio vėlinimo trukmę. Darbe yra apžvelgiamos LSK struktūros, kuriomis galima išmatuoti subinverterines laiko trukmes: LSK – Vernier vėlinimo linija, LSK – 2D Vernier plokštuma, stochastinis LSK, žiedinis LSK ir daugiapakopis LSK.

Reikšminiai žodžiai: laikinis skaitmeninis keitiklis, skiriamoji geba, vėlinimo trukmė, KMOP.

Įvadas

Laikinis skaitmeninis keitiklis – tai įtaisas, suteikiantis laiko tarpui tarp dviejų signalų frontų skaitmeninę išraišką (Staszewski *et al.* 2006). Pastaruoju metu jis dažnai naudojamas kaip fazės detektorius visiškai skaitmeninėse fazės derinimo kilpose (FDK), atliekančiose dažnio sintetatoriaus (DS) funkciją įrengtuose dažnio sintetatoriuose (DS) (1 pav.).

Pats paprasčiausias LSK yra paremtas inverterių vėlinimo linija (2 pav.) (Staszewski *et al.* 2006; Effendrik *et al.* 2011). Jame SVG generuojamas signalas sklinda inverterių vėlinimo linija, o atraminio signalo frontu šis signalas



1 pav. Supaprastinta visiškai skaitmeninio dažnio sintetatoriaus struktūra: SVG – skaitmeniniu būdu valdomas generatorius, LSK – laikinis skaitmeninis keitiklis

Fig. 1. Simplified structure of all-digital frequency synthesizer. SVG – digitally controlled oscillator (DCO), LSK – time to digital converter (TDC)

fiksuojamas po kiekvieno vėlinimo elemento. LSK išėjime yra gaunamas pseudotermometrinis kodas, kurį iškodavus gaunama informacija apie laiko tarpą, skiriantį atraminio ir generuojamo signalo frontus.

Mažiausias laiko tarpas, kurį galima pamatuoti tokiu LSK, yra inverterio vėlinimo trukmė $t_{res} = \Delta t_{inv}$, o LSK skiriamoji geba:

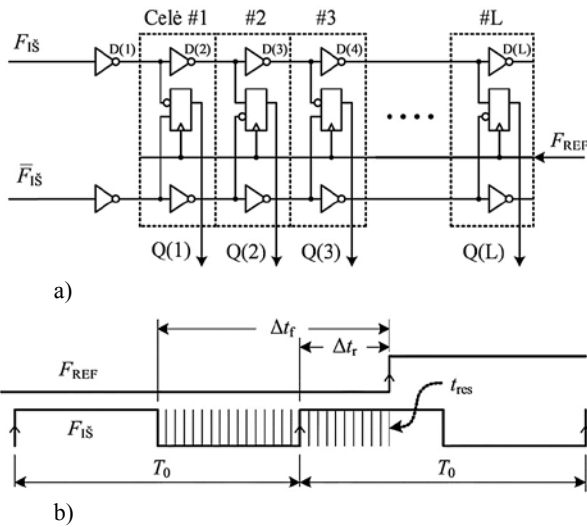
$$R_{LSK} = \frac{1}{t_{res}} = \frac{1}{\Delta t_{inv}}. \quad (1)$$

LSK išėjimo signalas yra skaitmeninis, todėl jis dažnio sintetatoriaus išėjime sukuria kvantavimo triukšmą. Yra išvesta analitinė LSK kuriamo mažiausio fazės triukšmo lygio DS artimojoje srityje (angl. *in-band*) išraiška (Staszewski *et al.* 2011):

$$L = 10 \log \left(\frac{(2\pi)^2}{12} \cdot \frac{(t_{res} F_{SVG})^2}{F_{REF}} \right), \quad (2)$$

čia F_{SVG} – generuojamojo signalo dažnis, F_{REF} – atraminio signalo dažnis, t_{res} – mažiausias LSK išmatuojamas laiko tarpas.

Iš (2) išraiškos matyti, kad LSK kuriamas triukšmas priklauso nuo generuojamojo ir atraminio signalų dažnių bei



2 pav. Laikinis skaitmeninis keitiklis – inverterių vėlinimo linija (a) ir jos signalai (b)
Fig. 2. Time to digital converter – inverter delay line (a) and its signals (b)

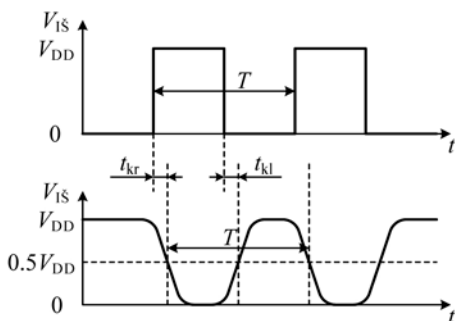
LSK skiriamosios gebos mažiausios vertės. Generuojamojo ir atraminio signalų dažniai yra dažnio sintezatoriaus techninės užduoties (reikalavimų) parametrai. Todėl LSK kuriama triukšmą galima sumažinti tik didinant jo skiriamąją gebą. Tai galima pasiekti dviem būdais: tobulinant KMOP integrinių grandynų (IG) gamybos technologiją arba tobulinant LSK struktūrą.

Technologinis LSK skiriamosios gebos didinimas

Tokio skiriamosios gebos didinimo esmė – tobulinti KMOP IG technologiją, siekiant sumažinti inverterių vėlinimo trukmę, kuri apibrėžiama kaip inverterio išėjimo signalo kylančiojo ir krentančiojo frontų vėlinimo trukmių vidurkis (Razavi 2013):

$$t_{res} = \frac{t_{kl} + t_{kr}}{2}, \quad (3)$$

čia t_{kl} ir t_{kr} – inverterio išėjimo signalo kylančiojo ir krentančiojo frontų vėlinimo trukmės (3 pav.).



3 pav. Inverterio išėjimo signalo vėlinimo trukmė
Fig. 3. Delay of inverter's output signal

Inverterio išėjimo signalo kylančiojo fronto vėlinimo trukmė t_{kl} apibrėžiama kaip laiko tarpas, per kurį inverterio išėjimo signalas pakyla nuo nulinės įtampos iki pusės maitinimo įtampos. Atitinkamai t_{kr} – laiko tarpas, per kurį inverterio išėjimo signalas nukrenta nuo maitinimo įtampos iki pusės maitinimo įtampos (3 pav.).

Krentančiojo fronto metu inverterio įėjimą veikia aukšto loginio lygio signalas (4 pav., a), todėl inverterių sudarantis NMOP tranzistorius yra soties būsenos, o PMOP tranzistorius – atkirtos būsenos. Tokiu atveju inverterio išėjimo talpa bus iškraunama per NMOP tranzistorių juo tekančia santakos-ištakos srove I_{Sin} , kuri apytiksliai gali būti išreikšta (Razavi 2013):

$$I_{Sin} \approx \frac{W_n}{2L_n} \mu_n C_{ox} (V_{DD} - V_{tn})^2, \quad (4)$$

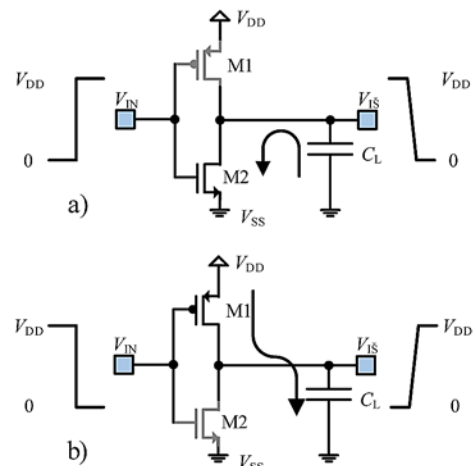
čia W_n ir L_n – atitinkamai NMOP tranzistoriaus plotis ir ilgis, μ_n – NMOP tranzistoriaus krūvininkų judris, C_{ox} – NMOP tranzistoriaus užtūros oksido savitoji talpa, V_{tn} – NMOP tranzistoriaus atkirtos įtampa, V_{DD} – inverterio maitinimo įtampa.

Turint tranzistoriaus srovės išraišką (4) ir tariant, kad inverterio apkrovos talpa iškraunama iki pusės maitinimo įtampos, galima apskaičiuoti krentančiojo fronto vėlinimo trukmę:

$$t_{kr} \approx \frac{C_L V_{DD}}{\frac{W_n}{L_n} \mu_n C_{ox} (V_{DD} - V_{tn})^2}, \quad (5)$$

čia C_L – inverterio apkrovos talpa.

Analogiškai (4) formulei galima išvesti kylančiojo fronto metu apkrovos talpą įkraunančios PMOP tranzistoriaus srovės formulę (6) (4 pav., b) ir iš jos apskaičiuoti



4 pav. Inverterio apkrovos talpos iškrovimas ir įkrovimas esant aukštam (a) ir žemam (b) loginiam įėjimo signalo lygiui inverterio įėjime

Fig. 4. Discharge and charge of inverter's load capacitor when logic level of input signal is respectively high (a) and low (b)

kylančiojo fronto vėlinimo trukmę (7), laikant, kad apkrovos talpa įkraunama iki pusės maitinimo įtampos:

$$I_{SIp} \approx -\frac{W_p}{2L_p} \mu_p C_{ox} (-V_{DD} - V_{tp})^2, \quad (6)$$

čia W_p ir L_p – atitinkamai PMOP tranzistoriaus plotis ir ilgis, μ_p – PMOP tranzistoriaus krūvininkų judris, C_{ox} – PMOP tranzistoriaus užtūros oksido savitoji talpa, kuri apytikriai lygi NMOP tranzistoriaus oksido savitajai talpai, V_{tp} – PMOP tranzistoriaus atkirtos įtampa, V_{DD} – inverterio maitinimo įtampa;

$$t_{kl} \approx \frac{C_L V_{DD}}{\frac{W_p}{L_p} \mu_p C_{ox} (-V_{DD} - V_{tp})^2}, \quad (7)$$

čia C_L – inverterio apkrovos talpa.

Pagal (3), (5) ir (7) formules laikydami, kad PMOP ir NMOP tranzistorių užtūros oksidų savitosios talpos vienos, ir manydami, kad PMOP tranzistoriaus plotis yra dvigubai didesnis nei NMOP tranzistoriaus plotis, galime gauti bendrąją inverterio vėlinimo trukmės išraišką:

$$t_{res} \approx \frac{2C_L V_{DD} \mu_p (V_{DD} + V_{tp})^2}{4 \frac{W_n}{L} \mu_n \mu_p C_{ox} (V_{DD} - V_{tn})^2 (V_{DD} + V_{tp})^2} + \frac{C_L V_{DD} \mu_n (V_{DD} - V_{tn})^2}{4 \frac{W_n}{L} \mu_n \mu_p C_{ox} (V_{DD} - V_{tn})^2 (V_{DD} + V_{tp})^2} \quad (8)$$

Gauta išraiška yra apytikrė, nes ją išvedant laikoma, kad NMOP ir PMOP tranzistoriai, kai per juos pradeda tekėti inverterio apkrovos talpą įkraunanti arba iškraunanti srovė, neišsina iš soties režimo. Be to, taikant šią formulę neįvertinami trumpo kanalo efektai. Todėl (8) išraiška yra tinkama tik greitiems skaičiavimams – įvertinti, kaip technologiniai parametrai veikia vėlinimo trukmę. Norint apskaičiuotus rezultatus priartinti prie realių vėlinimo trukmių, gautą išraišką reikia padauginti iš papildomo daugiklio, kuris 65 nm KMOP technologijoje yra lygus:

$$D = 0,6 \ln C_L + 5. \quad (9)$$

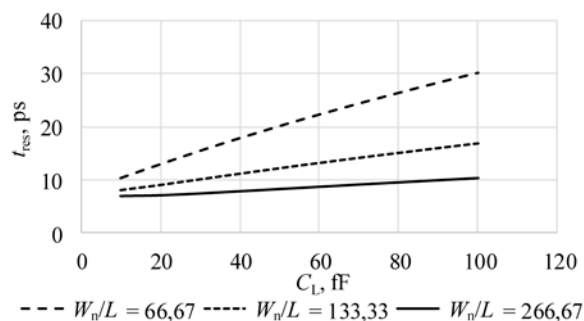
Projektuodamas integrinį grandyną pagal konkrečią technologiją, projektuotojas negali keisti tranzistoriaus krūvininkų judrio, oksido savitosios talpos, atkirtos įtampos, kuri nedaug kinta, kai keičiami tranzistoriaus matmenys. Todėl pagal (8) išraišką, panaudojus daugiklį (9), apskaičiuojamos inverterių vėlinimo trukmės priklausomybės nuo tranzistoriaus ilgio ir pločio santykio (esant minimaliam užtūros ilgiui), apkrovos talpos ir maitinimo įtampos taikant 65 nm KMOP technologiją.

Apskaičiuotos inverterio vėlinimo trukmės priklausomybės nuo apkrovos talpos bei tranzistoriaus ilgio ir pločio santykio bei inverterio vėlinimo trukmės priklausomybė nuo maitinimo įtampos ir apkrovos talpos pateiktos 5 ir 6 pav. Visi atliekant skaičiavimus taikyti technologiniai parametrai yra pateikti 1 lentelėje. Skaičiuojant taip pat įvertinama, kad LSK sudarančių inverterių apkrovos talpa negali būti lygi nuliui, nes inverterį apkrauna kitas prie jo prijungtas vėlinimo linijos inverteris.

1 lentelė. Skaičiavimams atlikti taikomi 65 nm technologijos parametrai

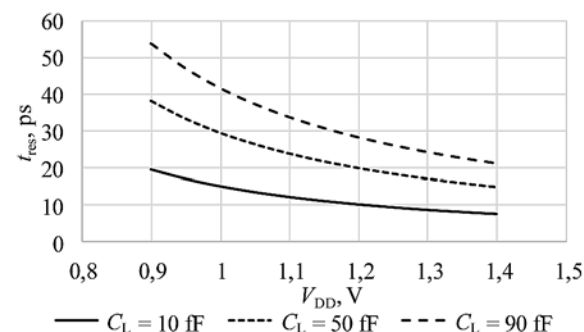
Table 1. Parameters of 65 nm CMOS technology used for calculations

Parametras	Vertė		
L , nm	60		
W_n , μm	4	8	16
W_n / L	66,67	133,33	266,67
C_{ox} , mF/m ²	12,8		
C_L , fF	10	50	90
V_{tn} , mV	359,5		
V_{tp} , mV	-413,8		
μ_n , m ² / (Vs)	0,0211		
μ_p , m ² / (Vs)	0,0080		



5 pav. Inverterio vėlinimo trukmės priklausomybė nuo apkrovos talpos bei tranzistoriaus ilgio ir pločio santykio

Fig. 5. Dependency of inverter's delay time on load capacitance and ratio of width and length of transistors



6 pav. Inverterio vėlinimo trukmės priklausomybė nuo maitinimo įtampos ir apkrovos talpos

Fig. 6. Dependency of inverter's delay time on supply voltage and load capacitance

Iš 5 pav. pateiktų skaičiavimo rezultatų matyti, kad, esant 1,2 V maitinimo įtampai, o apkrovos talpai kintant nuo 10 fF iki 100 fF, inverterio vėlinimo trukmė gali kisti nuo 7 ps iki 30 ps.

Skaičiavimo rezultatai, pateikti 6 pav., gauti, esant tranzistoriaus ilgio bei pločio santykiui W_n/L lygiam 66,67 ir maitinimo įtampai kintant nuo 0,9 V iki 1,4 V. Iš 6 pav. pateiktų rezultatų matyti, kad inverterio vėlinimo trukmė gali kisti nuo 7,6 ps iki 54 ps.

Iš skaičiavimo rezultatų analizės išplaukia išvada, kad, didinant tranzistorių ilgio ir pločio santykį bei didinant maitinimo įtampą, inverterio vėlinimo trukmė mažėja ir LSK skiriamoji geba didėja. Tai vyksta dėl didėjančios tranzistoriais tekančios srovės, kuri greičiau įkrauna arba iškrauna inverterio apkrovos talpą. Didėjant apkrovos talpai LSK skiriamoji geba mažėja.

LSK struktūros tobulinimas

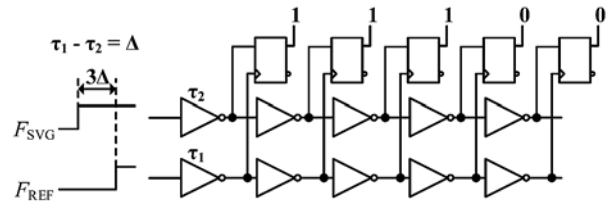
Projektuojant integrinius grandynus, dažnai dėl gamybos kainos, dėl projektuojamo grandyno suderinamumo su kitais integriniais grandynais ir jau sukurtais blokais arba dėl kitų priežasčių gali būti taikoma tik tam tikra IG gamybos technologija. Jeigu ją taikant įgyvendinamų LSK sudarančių inverterių vėlinimo trukmė negarantuoja reikiamos skiriamosios gebos ir triukšmo, apskaičiuoto pagal (1) išraišką, lygio, tenka rinktis sudėtingesnę LSK struktūrą. Apžvelgsime LSK struktūras, leidžiančias išmatuoti laiko tarpą, mažesnę už inverterio vėlinimo trukmę.

Vernier vėlinimo linija. LSK – Vernier vėlinimo linijoje yra naudojamos dvi vėlinimo linijos, sudarytos iš vėlinimo elementų, turinčių skirtingas vėlinimo trukmes (7 pav.) (Liscidini *et al.* 2009). Per vieną liniją yra siunčiamas DS generuojamas signalas, per kitą – atraminis signalas. Jei pirmą ir antrą vėlinimo liniją sudarančių vėlinimo elementų vėlinimo trukmės atitinkamai lygios τ_1 ir τ_2 , tai tokio LSK skiriamoji geba yra atvirkščiai proporcinga šių vėlinimo trukmių skirtumui (10):

$$R_{LSK} = \frac{1}{\tau_1 - \tau_2} = \frac{1}{\Delta} \quad (10)$$

Taigi, jei viena iš linijų yra sudaryta iš inverterių, turinčių mažiausią vėlinimo trukmę, tokio LSK skiriamoji geba yra didesnė nei LSK – inverterių vėlinimo linijos.

Prie vėlinimo linijų atitinkamų elementų išėjimų yra prijungti trigeriai, kurių išėjimo signalo pobūdis priklauso nuo to, kokio signalo frontas atkeliavo pirmas – loginis „1“, jei atraminio signalo, arba loginis „0“, jei generuojamojo signalo. Kaip ir inverterių vėlinimo linijos atveju, gaunamas termometrinis kodas. Jį iškodavus, taške, kuriame trigerio išėjimas pakinta iš „1“ į „0“, gaunama informacija apie generuojamo ir atraminio signalų frontų skirtumą (fazės skirtumą).



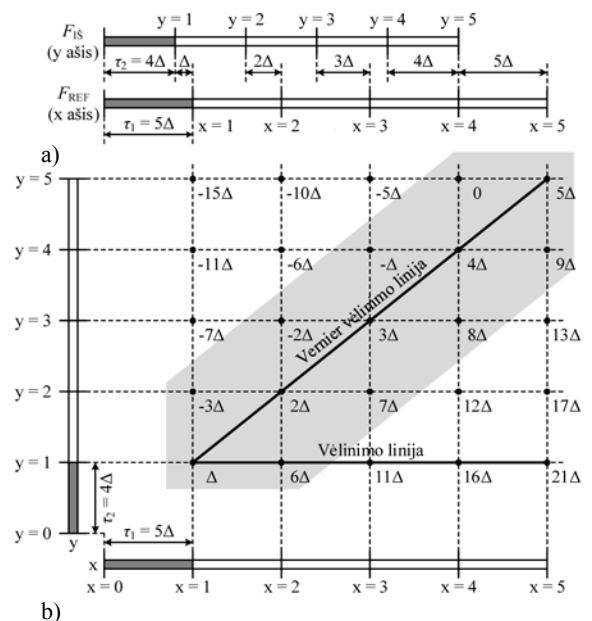
7 pav. LSK – Vernier vėlinimo linija

Fig. 7. TDC – Vernier delay line

2D Vernier vėlinimo linija. Dviejų dimensijų (2D) Vernier vėlinimo linijos veikimas nuo įprastos Vernier vėlinimo linijos skiriasi tuo, kad laiko skirtumui tarp generuojamojo ir atraminio signalo gauti naudojami dviejų vėlinimo linijų elementai (8 pav., a) ir visos dviejų vėlinimo linijų elementų tarpusavio kombinacijos (8 pav., b), tarsi išdėstant dvi linijas dvimatėje plokštumoje X ir Y ašyse – gaunama Vernier plokštuma (Vercesi *et al.* 2010).

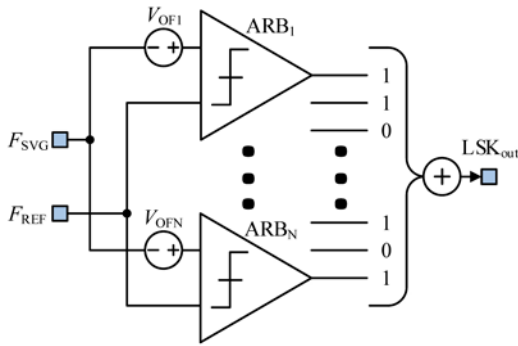
Šioje plokštumoje taip pat galima atvaizduoti LSK – inverterių vėlinimo liniją (horizontali tiesė) ir klasikinę Vernier vėlinimo liniją (įstriža tiesė). Taigi toks 2D vėlinimo linijos aprašymas gali būti naudojamas kaip apibendrintas vėlinimo linijų aprašymas.

2D Vernier vėlinimo linijos skiriamoji geba yra lygi dviejų vėlinimo linijų elementų vėlinimo trukmių didžiausiam bendrajam dalikliui (DBD). Lyginant su įprasta Vernier vėlinimo linija, jei elementų vėlinimo trukmės yra 3Δ ir 5Δ , įprastos Vernier vėlinimo linijos skiriamoji geba būtų lygi $5\Delta - 3\Delta = 2\Delta$, o 2D Vernier vėlinimo linijos – Δ . Be to, tokio LSK įėjimo signalų (fazės klaidos) ruožas yra

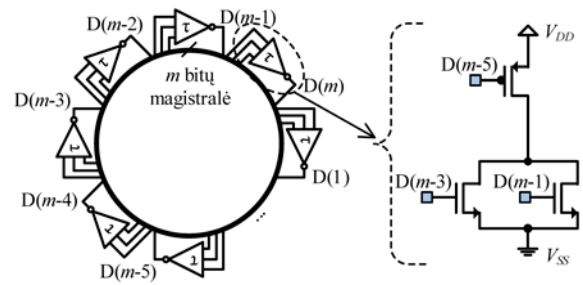


8 pav. LSK – Vernier vėlinimo linijos (a) ir 2D Vernier vėlinimo linijos (b) palyginimas

Fig. 8. TDC – Comparison of Vernier delay line (a) and 2D Vernier delay line (b)



9 pav. Stochastinis LSK
Fig. 9. Stochastic TDC



10 pav. LSK, paremtas daugelio kelių žiediniu generatoriumi
Fig. 10. TDC based on multipath ring oscillator

didesnis dėl padidėjusio tolygaus laiko kvantavimo ruožo pasiskirstymo: 8 pav., b, matyti, kad jis padidėjo nuo $\Delta - 5\Delta$ iki $-3\Delta - 9\Delta$.

Šio LSK trūkumas – sudėtingesnis įgyvendinimas, nes reikalinga sąlygiškai didelė palyginimo matrica. Be to, jai būdingi ir įprastos Vernier vėlinimo linijos trūkumai – reikalingas dviejų vėlinimo linijų elementų vėlinimo trukmių DBD Δ palaikymas ir linijų derinimas.

Stochastinis LSK. Stochastinio tipo LSK sudarytas iš N vienetų, lygiagrečiai sujungtų arbitrų (9 pav., ARB_N), fiksuojančių atraminio ir generuojamojo signalų frontus (Kratyuk *et al.* 2009; Samarah, Carusone 2013). Idealiu atveju kiekvienas arbitras sugeneruoja loginį „0“ arba „1“, priklausomai nuo to, kurio signalo frontas atkeliauja pirmas.

Realybėje arbitrai veikia esant tam tikriems netikslumams, pasireiškiantiems dėl įvairių neidealių reiškinių. Arbitro išėjimo signalo nusistovėjimo trukmė ilgėja, kai laiko skirtumas tarp generuojamojo ir atraminio signalų frontų tampa mažas – pasireiškia metastabilumo efektas. Be to, dėl elektroninių įtaisų, sudarančių arbitrus, parametru sklaidos kiekvienas arbitras įėjime turi tam tikrą įtampos poslinkį (9 pav., įtampos šaltiniai V_{OFN}). Dėl šio poslinkio arbitrų įėjimo signalų ribinės (suveikimo) įtampos vertės šiek tiek skiriasi. Turint didelį arbitrų skaičių, šios ribinės įtampos poslinkiai pasiskirsto pagal Gauso dėsnį esant standartiniam nuokrypiui σ_V . Įėjimo įtampos pokyčiai transformuojasi į įėjimo signalo laiko pokyčius. Todėl jie taip pat išsidėstę pagal Gauso dėsnį esant standartiniam nuokrypiui σ_T .

σ_V ir σ_T susiję $\sigma_T = \sigma_V/S$, čia S yra įėjimo signalo fronto statusas. Dėl šių neidealumų realybėje visų arbitrų išėjimai nepasikeis vienu metu ir jie nebūtinai bus vienodi. Susumavus visų arbitrų išėjimų signalus, gaunama informacija apie fazių skirtumą.

Stochastinio LSK skiriamoji geba yra lygi:

$$R_{LSK} = \frac{N}{\sqrt{2\pi}\sigma_V} = \frac{N \cdot S}{\sqrt{2\pi}\sigma_T}, \quad (11)$$

čia N – arbitrų skaičius, S – įėjimo signalo fronto statusas,

σ_V ir σ_T – atitinkamai įtampos ir laiko skirstinių standartiniai nuokrypiai.

Taigi didinti stochastinio LSK skiriamąją gebą galima didinant arbitrų skaičių, signalo statumą ir mažinant elementų sklaidą. Jo trūkumas – mažas įėjimo signalų fazės skirtumo ruožas.

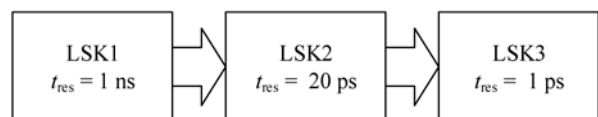
LSK, paremti žiediniu generatoriumi. Žiediniai generatoriai gali būti naudojami laikiniam skaitmeniniam keitikliui sudaryti (10 pav.) (Cheng *et al.* 2016).

Tokiu atveju turi būti naudojamas daugiakelis (angl. *multipath*) žiedinis generatorius. Jo vėlinimo elementų įėjimai sujungiami su kelių vėlinimo elementų išėjimais, pvz., 10 pav. parodyto vėlinimo elemento PMOP tranzistorius sujungtas su penktojo prieš jį einančio vėlinimo elemento išėjimu, o NMOP tranzistoriai sujungti su atitinkamai trečiojo ir pirmojo prieš jį esančio vėlinimo elemento išėjimu. Toks jungimas leidžia paankstinti vėlinimo elemento persijungimo laiką.

LSK, paremto žiediniu generatoriumi, skiriamoji geba gali būti padidinama 5–6 kartus, lyginant su LSK – invertorių vėlinimo linija.

Daugiapakopiai LSK. Laikiniai skaitmeniniai keitikliai gali būti sudaromi iš kelių LSK, kurių skiriamoji geba yra skirtinga (11 pav.).

Pirmųjų LSK pakopų skiriamoji geba yra mažiausia, paskutinių – didžiausia. Pavyzdžiui, LSK – vėlinimo linija sklindančio signalo suvėlinta versija, kurios frontas yra arčiausiai atraminio signalo fronto, gali būti jungiama į stochastinio LSK įėjimą (Samarah, Carusone 2013). Tokiu atveju gaunama skiriamoji geba, lygi stochastinio



11 pav. Daugiapakopis LSK
Fig. 11. Multistage TDC

LSK skiriamajai gebai, ir LSK – vėlinimo linijos įėjimo signalų fazės skirtumo ruožas.

Išvados

1. LSK skiriamoji geba veikia dažnio sintezatoriaus išėjimo fazės triukšmą. Norint sumažinti fazės triukšmo lygį, reikia didinti skiriamąją gebą. Tai galima pasiekti tobulinant KMOP technologiją arba LSK struktūrą.
2. Tobulinant KMOP technologiją siekiama gauti kuo mažesnę inverterio vėlinimo trukmę. Projektuotojas, taikydamas konkrečią technologiją, negali keisti daugelio technologinių parametrų: tranzistoriaus krūvininkų judrio, oksido savitosios talpos, atkirtos įtampos. Todėl inverterio vėlinimo trukmę galima didinti tik mažinant užtūros ilgį, didinant tranzistoriaus matmenų pločio ir ilgio santykį, maitinimo įtampą. Tokiu atveju yra didinama tranzistoriaus srovė, kuri greičiau įkrauna arba iškrauna LSK sudarančių inverterių apkrovos talpą.
3. Skaičiavimo rezultatai rodo, kad, taikant 65 nm KMOP technologiją, apkrovos talpai kintant nuo 10 fF iki 100 fF, maitinimo įtampai esant 1,2 V, tranzistoriaus pločio ir ilgio santykio vertėms esant 66,67, 133,33 ir 266,67, inverterio vėlinimo trukmė kinta nuo 7 ps iki 30 ps. Esant tranzistoriaus ilgio ir pločio santykiui lygiam 66,67, maitinimo įtampai kintant nuo 0,9 V iki 1,4 V, inverterio vėlinimo trukmė gali kisti nuo 7,6 ps iki 54 ps.
4. Tobulinant LSK struktūrą, siekiama išmatuoti laiko tarpą, mažesnę už inverterio vėlinimo trukmę. Tai galima atlikti naudojant tokias LSK struktūras: LSK – Vernier vėlinimo linija, LSK – 2D Vernier plokštumą, stochastinį LSK, žiedinį LSK, daugiapakopį LSK. Paminėtų LSK projektavimas sudėtingėja dėl jiems būtinų papildomų skaitymo, sinchronizavimo, derinimo grandynų projektavimo.

Literatūra

- Cheng, Z.; Zheng, X.; Deen, M. J.; Peng, H. 2016. Recent developments and design challenges of high-performance ring oscillator CMOS time-to-digital converters, *IEEE Transactions on Electron Devices* 63(1): 235–251. <https://doi.org/10.1109/TED.2015.2503718>
- Effendrik, P.; Jiang, W.; van de Gevel, M.; Verwaal, F.; Staszewski, R. B. 2011. Time-to-digital converter (TDC) for WiMAX ADPLL in 40 nm CMOS, in *20th European Conference on Circuit Theory and Design (ECCTD)*, 29–31 August 2011, Linköping, Sweden, 365–368.
- Kratyuk, V.; Hanumolu, P. K.; Ok, K.; Moon, U. K.; Mayaram, K. 2009. A digital PLL with a stochastic time-to-digital

converter, *IEEE Transactions on Circuits and Systems I: Regular Papers* 56(8): 1612–1621.

<https://doi.org/10.1109/TCSI.2008.2010109>

- Liscidini, A.; Vercesi, L.; Castello, R. 2009. Time to digital converter based on a 2-dimensions Vernier architecture, in *IEEE 2009 Custom Integrated Circuits Conference (CICC)*, 13–16 September 2009, San Jose, CA, United States, 45–48.
- Razavi, B. 2013. *Fundamentals of Microelectronics*. 2nd ed. Wiley. 928 p.
- Samarah, A.; Carusone, A. C. 2013. A digital phase-locked loop with calibrated coarse and stochastic fine TDC, *IEEE Journal of Solid-State Circuits* 48(8): 1829–1841. <https://doi.org/10.1109/JSSC.2013.2259031>
- Staszewski, R. B.; Vemulapalli, S.; Vallur, P.; Wallberg, J.; Balsara, P. T. 2006. 1.3 V 20 ps Time-to-digital converter for frequency synthesis in 90-nm CMOS, *IEEE Transactions on Circuits and Systems II: Express Briefs* 53(3): 220–224. <https://doi.org/10.1109/TCSII.2005.858754>
- Staszewski, R. B.; Waheed, K.; Dülger, F.; Eliezer, O. E. 2011. Spur-free multirate all-digital PLL for mobile phones in 65 nm CMOS, *IEEE Journal of Solid-State Circuits* 46(12): 2904–2919. <https://doi.org/10.1109/JSSC.2011.2162769>
- Vercesi, L.; Liscidini, A.; Castello, R. 2010. Two-dimensions vernier time-to-digital converter, *IEEE Journal of Solid-State Circuits* 45(8): 1504–1512. <https://doi.org/10.1109/JSSC.2010.2047435>

INCREASING A RESOLUTION OF TIME TO DIGITAL CONVERTER

M. Jurgo, R. Navickas

Abstract

Time to digital converter (TDC) is one of the main blocks of all-digital frequency synthesizer (FS), where it is used as phase detector. The output of TDC is digital, therefore it introduces quantization noise to the output of FS. The resolution of TDC has to be increased, to improve phase noise level at the output of FS. It can be achieved by improving CMOS technology or structure of the TDC. The simplest TDC is based on inverter delay line. Its resolution is inversely proportional to the time interval, which can be measured with such TDC, i.e. delay time of the inverter. Decreasing of this delay is essence of technological increasing of TDC's resolution. In this work the dependency of inverter delay on technological parameters is shown and its value is calculated in 65 nm CMOS technology. Calculations show, that in this technology delay time of the inverter can vary from 7 ps to 54 ps. If the design is restricted to the usage of specific CMOS technology, in which inverter's delay does not ensure needed noise level at the output of FS, structure of the TDC needs to be improved. The aim of this improvement is to measure time interval smaller than inverter's delay. Some of the TDC structures, which can measure sub-inverter delay time, are reviewed in this work: TDC – Vernier delay line, TDC – 2D Vernier plane, stochastic, ring and multistage TDCs.

Keywords: time to digital converter, resolution, delay time, CMOS.