

OPERACINIŲ STIPRINTUVŲ PARAMETRŲ TYRIMAS 0,18  $\mu\text{m}$   
IR 65 nm KMOP TECHNOLOGIJOSEKarolis Kiela<sup>1</sup>, Marijan Jurgo<sup>2</sup>

Vilniaus Gedimino technikos universitetas

El. paštas: <sup>1</sup>karolis.kiela@dok.vgtu.lt; <sup>2</sup>marijan.jurgo@vgtu.lt

**Santrauka.** Nagrinėjami pagrindiniai operacinių stiprintuvų parametrai, jų pokytis pereinant iš 0,18  $\mu\text{m}$  į 65 nm KMOP technologiją. Tyrimui atlikti suprojektuoti ir panaudoti du skirtingi dviejų pakopų operaciniai stiprintuvai: pirmas su  $n$ -MOP tipo įėjimo diferencine pakopa; antras – su  $p$ -MOP tipo įėjimo diferencine pakopa ir kaskodine aktyviųjų apkrovų sandara. Operaciniai stiprintuvai projektuoti naudojant 0,18  $\mu\text{m}$  KMOP procesą kaip pagrindinę technologiją ir vėliau, nustatant mastelį, perkelti į 65 nm KMOP technologiją. Kitos perkėlimo procedūros naudojamos pereinant iš vienos integrinės technologijos į kitą. Sumodeliuoti ir palyginti suprojektuotų operacinių stiprintuvų parametrai.

**Reikšminiai žodžiai:** diferencinis, operacinis stiprintuvas, mastelio nustatymas, KMOP, parametrai, projektavimas, integrinė technologija, perkėlimas.

### Įvadas

Šiuo metu analoginės elektronikos įtaisų sintezavimas automatinio būdu dar nėra pasiekęs skaitmeninės elektronikos automatizacijos lygio. Analoginės elektronikos automatizavimo vystymas – ypač aktualus ir svarbus uždavinys integrinių įtaisų gamintojams. Šiuolaikinės integrinės technologijos gali pasiūlyti itin aukštą elementų integracijos lygį, greitą veikimo spartą, mažą vartojamą galią. Visa tai pasiekama nuolat tobulinant šią sritį – mažinant minimalų matmenį, naudojant novatoriškus inžinerinius sprendimus ir naujausias medžiagas. Tačiau šis technologinis tobulėjimas sukuria papildomų uždavinių ir sunkumų inžinieriams. Kiekvieną kartą sumažinus minimalų matmenį, jau turimą inžinerinį sprendimą reikia suderinti su pakitusiu technologiniu procesu.

Ilgą laiką pereinant iš vieno technologinio proceso į kitą ir mažinant minimalų matmenį, pakakdavo atitinkamai sumažinti ir visus integrinio grandyno (IG) komponentų matmenis (arba bendrą plotą). Minimaliam matmeniui pasiekus dešimčių nanometrų ribą, IG perkėlimas mastelio nustatymo būdu tapo netikslus, reikalaujantis ilgo optimizavimo laiko. Dėl šios priežasties, buvo ir vis dar yra kuriami ir nagrinėjami nauji mastelio nustatymo metodai, norint pagerinti ir palengvinti IG perkėlimo procesą, mažinant minimalų matmenį.

Šio tyrimo tikslas – nustatyti pagrindinius veiksnius, kurie blogina integrinių schemų parametrus jas perkeliant iš vienos integrinės technologijos į kitą. Šio darbo struktūra: pirma apžvelgiami kitų autorių siūlomi mastelio nusta-

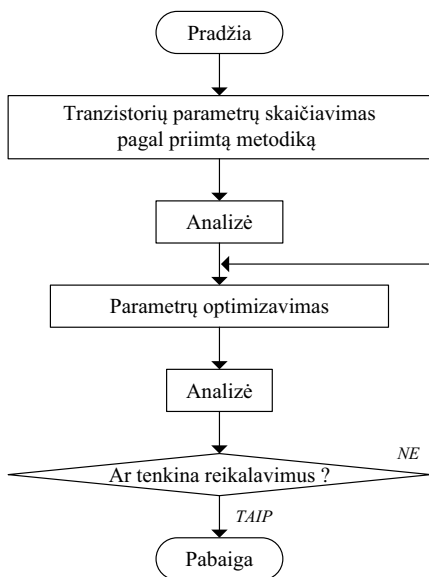
tymo metodai, suprojektuojamos dvi operacinių stiprintuvų (OS) schemas, atliekamas jų modeliavimas 0,18  $\mu\text{m}$  ir 65 nm technologijose, palyginami gauti rezultatai ir formuluojamos išvados.

### Mastelio nustatymo metodai

Praktikoje gali būti naudojami keli mastelio nustatymo metodai, paremti skirtingomis prielaidomis, tačiau visus juos sieja bendra darbo eiga (1 pav.). Pradžioje nustatomi pradiniai parametrai, kurie apskaičiuojami pagal priimtą metodą. Tada atliekama įtaiso analizė, t. y. modeliavimas. Po modeliavimo procedūros, jei reikia, atliekama optimizavimo procedūra, parametrai perskaičiuojami, įtraukiami nauji veiksniai ir vėl atliekama įtaiso analizė. Šis procesas kartojamas tol, kol projektuojama schema pradeda tenkinti išskeltus reikalavimus (Funaba *et al.* 1998).

Mastelio nustatymo metodų tobulinimo esmė ir tikslas – sutrumpinti parametru optimizavimo procesą, jį kuo labiau automatizuoti.

Intuityvus schemas perkėlimo procesas aprašytas Funaba ir kt. (1998). Pirma sudaroma dominančios schemas ekvivalentinė schema, nustatomos vertės, atitinkančios naują technologiją, ir tada bandoma parametrus priartinti prie originalios schemas verčių. Toks būdas veiksmingas perkeliant schemą iš vienos technologijos į kitą, kada jos tarpusavyje neturi esminių skirtumų (didelio maitinimo įtampos, oksido medžiagos ar kitokių pokyčių). Kitais atve-



1 pav. Mastelio nustatymo veiksmų seka  
Fig. 1. Flow of technology scaling

jais gauti panašius parametrus gali būti labai sunku ar net neįmanoma. Kaip dar vieną šio metodo trūkumą galime paminėti tai, kad modeliuojama mažo signalo grandinės sąlygomis (angl. *small signal circuit analysis*), tačiau analoginės elektronikos srityje labiau dominantis yra didelės amplitudės signalas (angl. *large signal*). Tokio tipo signalo visų parametrų pokyčių modeliuojant schemą mažo signalo grandinės sąlygomis įvertinti neįmanoma.

Du mastelio nustatymo metodai pasiūlyti Fiegna (2000). Pirmas metodas grindžiamas schemos pakopų srovių mastelio nustatymu kartu su fiziniais tranzistorių parametrais. Esminis šio metodo trūkumas – stiprinimo koeficiento ir praleidžiamosios dažnių juostos pločio sandaugos (SKPS, angl. *gain-bandwidth product*) neatitikimas nustatytam masteliui. Veiksmingesnis to paties autoriaus pasiūlytas mastelio nustatymo būdas paremtas tranzistoriaus pločio keitimu, kad būtų išlaikomas pastovus SKPS. Verta paminėti, kad šis būdas praranda tikslumą, kai tranzistoriaus ilgis  $L < 100$  nm ir jis veikia tiesiniu režimu.

Galup-Montoro ir kt. (2001) pasiūlytas metodas paremtas tranzistoriaus statumo ir santakos srovės funkcijos  $g_m/I_S$  išsaugojimu nustatant mastelį. Šio metodo trūkumas – reikalinga prielaida, kad, pereinant iš vienos technologijos į kitą, krūvininkų judris išliks nepakitęs.

Daug žadantis metodas pasiūlytas Levi ir kt. (2006). Šio metodo esmė – nustatant mastelį išlaikyti nepakitusį tranzistorių darbo tašką ( $I_S$ ,  $V_{UI}$ ). Nustatant mastelį būtina žinoti tokius technologinius parametrus, kaip judris, atidarymo įtampa, užtūros oksido talpa. Metodas išbandytas per-

keliant schemą iš  $0,8 \mu\text{m}$  į  $0,35 \mu\text{m}$  technologiją. Vienintelis metodo trūkumas – neaiškumas perkeltant schemas į mažo minimalaus matmens ( $90, 65, 45$  nm) technologijas.

Darbo tikslas – ištirti OS parametrų kitimą pereinant iš vienos technologijos į kitą ir nekeičiant jo struktūros. Šiam tikslui nustatomas tranzistoriaus matmenų mastelis, nesistengiant išlaikyti pastovaus jo darbo taško. Nors šis būdas nėra optimalus, jis parodo kritinius OS taškus, kurie paveikiami jų nustatant mastelį. Metodo mastelio nustatymas:

$$\frac{W_1}{L_1} = \frac{\Delta_2}{\Delta_1} \frac{W_2}{L_2}, \quad (1)$$

čia  $W_x$  – tranzistoriaus kanalo plotis;  $L_x$  – tranzistoriaus kanalo ilgis;  $\Delta_x$  – minimalus technologijos matmuo;  $x = 1$  – technologija, iš kurios pereinama;  $x = 2$  – technologija, į kurią pereinama.

### Operacinių stiprintuvų projektavimas

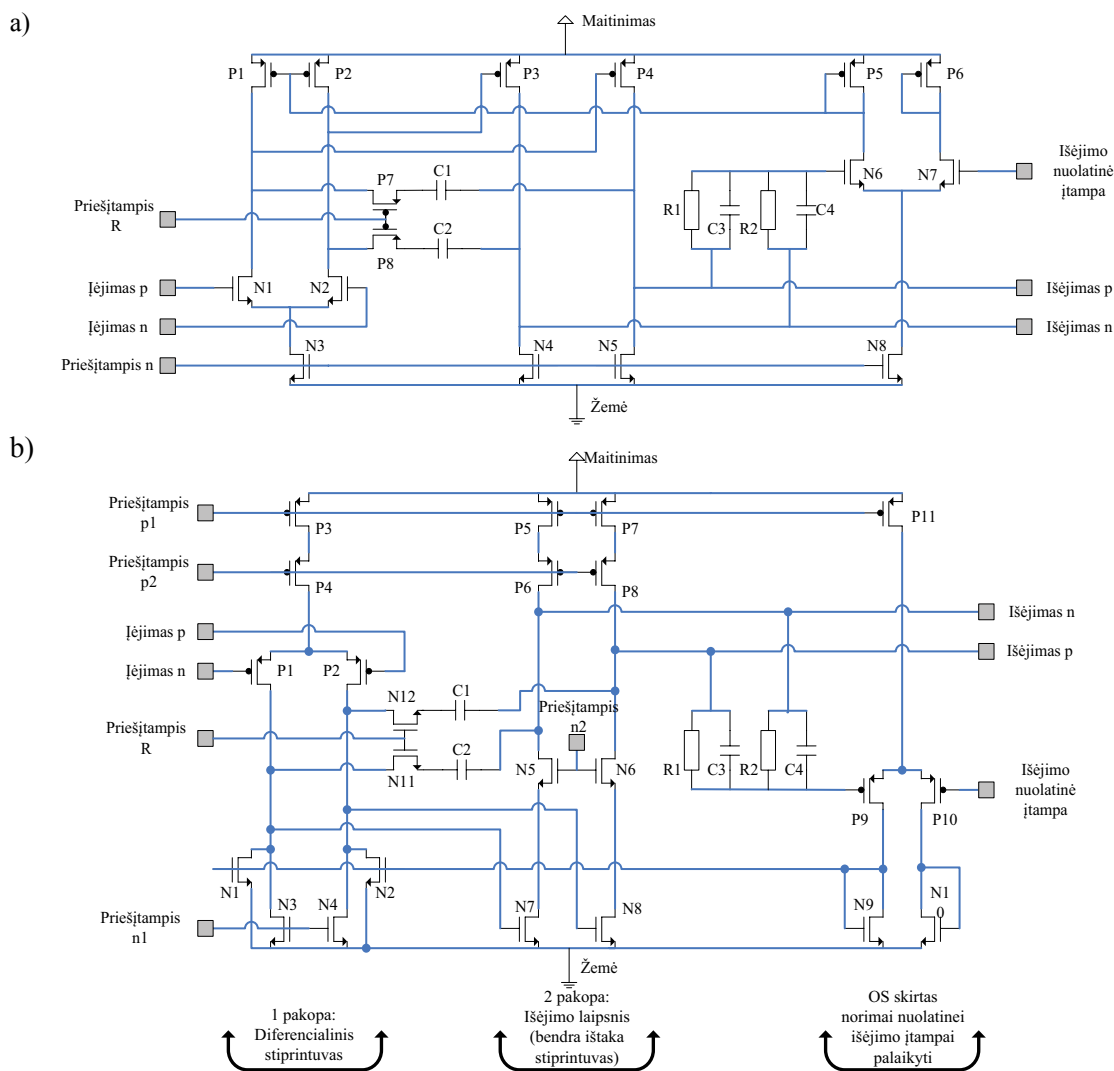
Norint tiksliau ištirti OS parametrų kitimą nustatant mastelį, suprojektuoti du skirtingų struktūrų visiškai diferenciniai OS (PDOS), kurių struktūros parodytos 2 pav. PDOS struktūros parinktos taip, kad būtų sumodeliuotas didesnis skirtingų schemų skaičius ir detaliau ištirta mastelio nustatymo įtaka jų veikimui.

Suprojektuotos PDOS struktūros skiriasi įėjimo diferencialinės poros tranzistorių tipais, srovių veidrodžių sudėtingumu ir išėjimo pakopos struktūra. Abi struktūros sudarytos iš dviejų pakopų, su papildomu stiprintuvu, nustatančiu išėjimo pakopos nuolatinės įtampos dedamosios vertę.

OS su  $n$  tipo diferencine įėjimo pakopa ( $n$ -PDOS) parodytas 2 pav., a. Diferencinė pakopa, be įėjimo tranzistorių N1, N2, sudaryta iš srovės veidrodžio N3 ir aktyviųjų apkrovų P1, P2. Išėjimo pakopą sudaro bendros ištakos MOP stiprintuvas, kurį apkrauna aktyviosios apkrovos N4, N5.

OS su  $p$  tipo diferencine įėjimo pakopa ( $p$ -PDOS) parodytas 2 pav., b. Šios struktūros ir  $n$ -PDOS tipo skirtumas – naudojami kaskodiniai srovės veidrodžiai. Aktyvioji apkrova išskirta į dvi dalis – tranzistoriai N3, N4 prijungti prie darbo tašką nustatančios įtampos, o N1, N2 skirti išėjimo nuolatinę dedamajai reguliuoti. Tokio jungimo pranašumas – galimybė optimaliau nustatyti aktyviosios apkrovos darbo tašką (gauti didesnę apkrovos varžą). Išėjimo pakopoje panaudotas kaskodinis bendros ištakos MOP stiprintuvas N5–N8 su kaskodine aktyviaja apkrova P5–P8.

Iš struktūrų matyti pagrindiniai šių PDOS skirtumai:  $n$ -PDOS turi didesnę įėjimo ir išėjimo dinaminę diapazoną,  $p$ -PDOS – didesnę stiprinimo koeficientą ir stiprinamų dažnių juostą.



2 pav. Operacinio stiprintuvo struktūros: a – *n*-MOP tipo; b – *p*-MOP tipo

Fig. 2. Operational amplifier structures: a – *n*-MOS, a – *p*-MOP

*n*-PDOS, *p*-PDOS maksimalūs įėjimo ir išėjimo dinaminis diapazonai apskaičiuojami atitinkamai pagal:

$$n\text{-PDOS: } V_i = V - 2V_S - V_{UI}, \quad V_o = V - 2V_S, \quad (2)$$

$$p\text{-PDOS: } V_i = V - 3V_S - V_{UI}, \quad V_o = V - 4V_S, \quad (3)$$

čia  $V_i$  – įėjimo dinaminis diapazonas;  $V_o$  – išėjimo dinaminis diapazonas;  $V_S$  – minimali santakos ir ištakos įtampa, kuriai esant tranzistorius dar veikia soties režimu;  $V_{UI}$  – užtūros-ištakos įtampa.

Stiprinimo koeficientas abiejose PDOS įėjimo pakopose ir *n*-PDOS išėjimo pakopoje apskaičiuojamas taip:

$$A_d = 2g_m (r_a \parallel r_i), \quad (4)$$

čia  $A_d$  – diferencinis stiprinimo koeficientas;  $g_m$  – įėjimo tranzistoriaus statumas;  $r_a$  – apkrovos varža;  $r_i$  – įėjimo tranzistoriaus varža.

Stiprinimo koeficientas *p*-PDOS išėjimo pakopoje apskaičiuojamas taip:

$$A_{dk} = 2g_m (g_{m5,6} r_{N5,6} \parallel g_{m6,8} r_{P6,8} r_{P5,7}), \quad (5)$$

čia  $A_{dk}$  – diferencinis kaskodinis stiprinimo koeficientas;  $g_{m_{x,y}}$  – tranzistorių  $x, y$  statumas;  $r_{x,y}$  – tranzistorių  $x, y$  varža. Dėl kaskodinės aktyviosios apkrovos struktūros (tranzistoriai P5–P8) tokio tipo išėjimo pakopa turi didesnį stiprinimo koeficientą. Papildomi tranzistoriai N5, N6 sumažina stiprinimo koeficientą tranzistoriuose N7 ir N8 (palaikoma maža santakos įtampa), dėl to sumažėja Milerio efektas, t. y. antrosios pakopos įėjimo talpa  $C_M$ :

$$C_M = C(1 + A), \quad (6)$$

čia  $C$  – įėjimo talpa;  $A$  – įėjimo tranzistoriaus stiprinimo koeficientas.

Sumažinus antrosios pakopos įėjimo talpą, dėl jos atsirandantis poliūs nustumiamas į aukštesniųjų dažnių sritį, o tai praplečia stiprinamų dažnių juostą.

Abi struktūros sudarytos 0,18 μm technologijoje ir naudojantis (1) perkeltos į 65 nm technologiją.

### Modeliavimo rezultatai

0,18 μm ir 65 nm PDOS modeliavimo sąlygos pateiktos 1 lentelėje, o gauti rezultatai – 2 ir 3 lentelėse. *n*-MOS ir *p*-MOS masteliuotos struktūros atitinkamai sužymėtos *mn*-MOS ir *mp*-MOS.

1 lentelė. Modeliavimo sąlygos

Table 1. Simulation conditions

Parametras	0,18 μm	65 nm	Matavimo vienetas
Maitinimo įtampa	1,8	1,2	V
Šaltinio varža	50		Ω
Aktyvioji apkrova	1		MΩ
Reaktyvioji apkrova	10		pF
C1, C2	1		pF
Temperatūra	27		°C
Tranzistorių modeliai	Nominalieji		
Srovė, tekanti per visą OS	1		mA

2 lentelė. 0,18 μm ir 65 nm PDOS modeliavimo rezultatai

Table 2. 0,18 μm and 65 nm fully differential operational amplifier simulation results

Parametras	<i>p</i> -PDOS	<i>n</i> -PDOS	<i>mp</i> -PDOS	<i>mn</i> -PDOS	Matavimo vienetas
DC stiprinimo koeficientas	72	55,7	32,5	27,1	dB
Pirmosios pakopos stiprinimo koeficientas	37,5	31,6	25,8	21,6	dB
Antrosios pakopos stiprinimo koeficientas	34,5	24,1	6,7	5,5	dB
Dažnių juostos plotis (-3 dB)	0,065	0,42	4	7	MHz
Stiprinimo koeficiento ir praleidžiamosios dažnių juostos pločio sandauga	258	256	168	158	MHz
Nulinio stiprinimo dažnis	124	114	85	90	MHz
Fazės atsarga	46,16	34,88	58,2	37,4	Laipsniai
Sinfazės įtampos įėjimo diapazonas	0,2–1,1	0,55–1,7	0,25–0,67	0,46–0,88	V

3 lentelė. 0,18 μm ir 65 nm PDOS triukšmo modeliavimo rezultatai

Table 3. 0,18 μm and 65 nm fully differential operational amplifier noise simulation results

OS tipas	Parametras	Triukšmas matuojamas esant <i>x</i> Hz				Pagr. triukšmo šaltinis esant <i>x</i> Hz	
		1 Hz	1 kHz	1 MHz	1 GHz	1 kHz	1 MHz
<i>p</i> -PDOS	Įėjimo triukšmas, nV/√(Hz)	881	29,2	2,54	2,7	N3 ir N4 50 %	P1 ir P2 64 %
	Išėjimo triukšmas, uV/√(Hz)	7000	228	1,38	0,0002		
	Triukšmo faktorius, dB	65,8	36	15	15,6		
<i>n</i> -PDOS	Įėjimo triukšmas, nV/√(Hz)	590	16	2,2	3,2	P1 ir P2 80 %	N1 ir N2 62 %
	Išėjimo triukšmas, uV/√(Hz)	720	19,4	1,01	0,0001		
	Triukšmo faktorius, dB	62,3	31	13,5	17		
<i>mp</i> -PDOS	Įėjimo triukšmas, nV/√(Hz)	3200	83	2,5	1,5	P1 ir P2 50 %	N3 ir N4 48 %
	Išėjimo triukšmas, uV/√(Hz)	270	7	0,2	0,0001		
	Triukšmo faktorius, dB	77	45,2	15	10,6		
<i>mn</i> -PDOS	Įėjimo triukšmas, nV/√(Hz)	3440	82	2,25	4,4	P1 ir P2 72 %	P1 ir P2 48 %
	Išėjimo triukšmas, uV/√(Hz)	155	3,7	0,1	0,0009		
	Triukšmo faktorius, dB	77,6	44	14	20		

Patamsinti langeliai nurodo geriausią vertę tarp visų struktūrų. 4 lentelėje pateikti pagrindiniai *n*-PDOS įėjimo ir išėjimo tranzistorių parametrai.

Iš modeliavimo rezultatų matyti, kad tradicinis mastelio nustatymo būdas pereinant į technologiją, kurios minimalus matmuo mažesnis beveik tris kartus, neužtikrina visų parametru verčių išlaikymo. Parametru verčių neatitiktis nustačius mastelį rodo, kad, norint išlaikyti parametru vertes nepakitusias, reikia optimizuoti geometriją arba taikyti naujas struktūras.

Didžiausias pakitęs PDOS parametras yra stiprinimo koeficientas. Iš 2 lentelės, 3 ir 4 pav. matyti, kad masteliuojant didžiausią stiprinimo koeficiento sumažėjimą nulėmė išėjimo pakopa. Šios pakopos stiprinimo koeficiento sumažėjimo galima išvengti didinant tranzistoriaus statumą  $g_m$ , apkrovos varžą  $r_a$  ir tranzistoriaus išėjimo varžą  $r_i$ . MOP tranzistoriaus statumo lygtis:

$$g_m = \sqrt{2\mu C_{\text{oks}} \frac{1}{n} \frac{W}{L} I_1}, \quad (7)$$

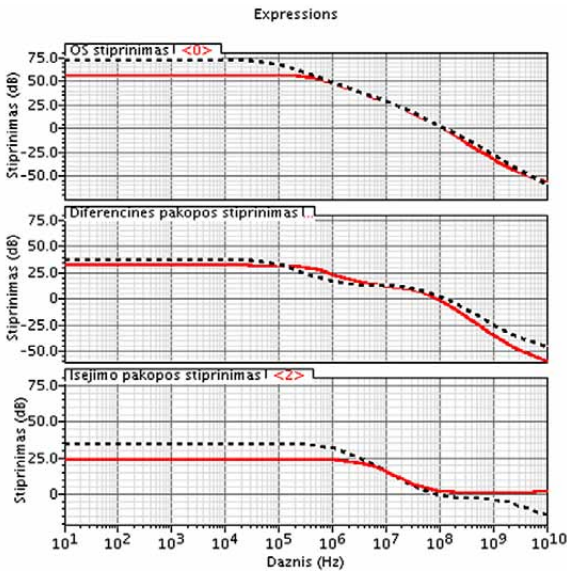
čia  $\mu$  – krūvininkų judris;  $C_{\text{oks}}$  – užtūros oksido talpa;  $n$  – koeficientas, proporcingas  $I_1$ , kuri priklauso nuo užtūros ištakos įtampos;  $I_1$  – ištakos srovė.

4 lentelė. 0,18 μm ir 65 nm *n*-PDOS tranzistorių darbo taško parametrai

Table 4. 0,18 μm and 65 nm *n* type fully differential operational amplifier DC operating point parameters

Technologija	OS tipas	Tranzistorius	$g_{m^i}$ , mS	$g_{is^i}$ , μS	$r_{o^i}$ , kΩ	$v_{th^i}$ , mV	$v_{sot^i}$ , mV	$C_{SI^i}$ , fF	$C_{UI^i}$ , fF	$C_{US^i}$ , fF	$t_{o^i}$ , nm
0,18 μm	<i>n</i> -PDOS	P1, P2	0,99	6,3	5,6	421	150	83	200	21	3,78
		N1, N2	2,3	55,2	8	532	47	132	510	137	3,85
		N3	2,28	28,3	2,3	403	135	49	140	16	3,85
		P3,P4	3,84	95,7	2,86	453	123	14	54	20	3,78
		N4, N5	3,57	34,5	2,87	403	135	74	208	21	3,85
65 nm	<i>n</i> -PDOS	P1, P2	1,6	37	4,2	312	144	0,5	281	15	2,8
		N1, N2	2,85	57	3,54	368	51	0,9	431	90	2,6
		N3	2,84	56,3	1,35	307	140	0,6	208	9	2,6
		P3,P4	4,7	186	1,57	361	146	0,1	88	15	2,8
		N4, N5	4,6	64,3	1,6	304	141	0,4	313	13	2,6

Čia  $g_{is}$  – tranzistoriaus statumas mažo signalo sąlygomis;  $r_o$  – tranzistoriaus išėjimo varža didelio signalo sąlygomis;  $v_{th}$  – tranzistoriaus slenkstinė įtampa;  $v_{sot}$  – minimali įtampa, reikalinga tarp santakos ir ištakos, kad tranzistorius dirbtų soties režimu;  $C_{SI}$  – santakos ir ištakos sandūros talpa;  $C_{UI}$  – užtūros ir ištaka sandūros talpa;  $C_{US}$  – užtūros ir santakos sandūros talpa;  $t_o$  – oksido storis.

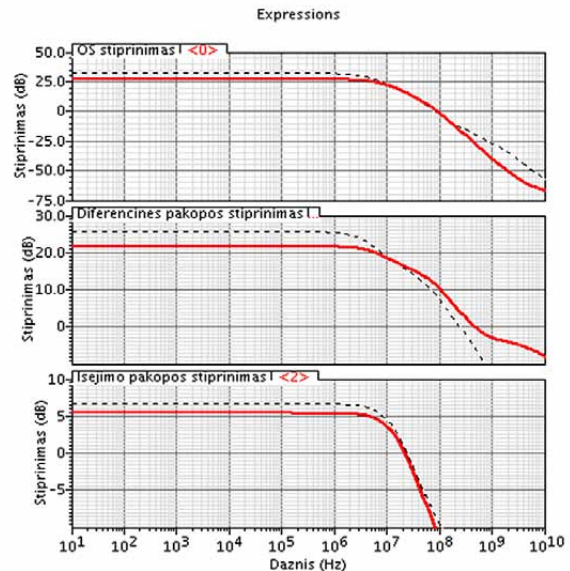


3 pav. 0,18 μm technologijoje modeliuotų PDOS stiprinimo koeficiento charakteristikos (punktas – *p*-DOS; linija – *n*-DOS)  
Fig. 3. Fully differential operational amplifier gain simulation in 0,18 μm (dashed – *p* type; line – *n* type)

Paprasčiausias būdas pagerinti tranzistoriaus statumą – padidinti jo matmenis ir (arba) srovę, tekančią per jį. Mažos galios ir riboto ploto įtaisuose šis veiksmas ne visada pageidaujamas. Tiesa, statumas šiuo atveju yra ne lemiamas stiprinimo koeficiento sumažėjimo veiksnys. Didžiausią įtaką daro sumažėjusios tranzistoriaus išėjimo varžos. Išėjimo varžą galime išreikšti taip:

$$r_o = \frac{1/\lambda + V_{SI}}{I_1}, \quad (8)$$

čia  $\lambda$  – kanalo moduliacijos koeficientas.



4 pav. 65 nm technologijoje modeliuotų PDOS stiprinimo koeficiento charakteristikos (punktas – *p*-DOS; linija – *n*-DOS)  
Fig. 4. Fully differential operational amplifier gain simulation in 65 nm (dashed – *p* type; line – *n* type)

Matome, kad stiprinimo koeficientą galima padidinti mažinant  $\lambda$  ir didinant  $V_{SI}$ . Ištakos srovė yra tiesiogiai susieta su tranzistoriaus statumu, todėl ją keičiant stiprinimo koeficientas didėtų mažai. Didinant  $V_{SI}$ , mažinamas dinaminis diapazonas, kuris, esant mažai maitinimo įtampai, yra nedidelis.

Matyti, kad nustatant mastelį stiprinimo koeficiento mažėjimas mažiau pasireiškia diferencinės poros stiprintuvuose. Dėl šios priežasties, esant mažai maitinimo įtampai, rekomenduojama naudoti ne tranzistorių kaskodas, o vienos pakopos stiprintuvų kaskadas.

Kitų parametų pokyčiai susieti su stiprinimo koeficiento sumažėjimu: fazės atsarga atvirkščiai priklauso nuo stiprinimo dažnių juostos pločio; nulinio stiprinimo dažnis tarp  $n$  ir  $p$  tipo PDOS nesiskiria dėl vienodos reaktyviosios apkrovos, kuri ir lemia dominuojantį polių; sinfazės įtampos įėjimo diapazono sumažėjimas yra dėsningas dėl sumažėjusios maitinimo įtampos vertės ir ryšių, nurodytų (2) ir (3).

Analizuojant PDOS triukšmo parametrus, galima pastebėti, kad 0,18  $\mu\text{m}$  technologijoje projektuoti OS pasižymi geresnėmis savybėmis iki 1 MHz ribos (lyginant triukšmo faktorių). Šiame dažnių ruože daugiausia įtakos turi mirgėjimo triukšmas. Re ir kt. (2005) pastebėjo, kad  $p$ -MOP tipo tranzistoriai turi geresnes mirgėjimo triukšmo savybes už  $n$ -MOP tranzistorius. Nagrinėjamoju atveju PDOS su  $n$  tipo diferencine įėjimo pakopa pasižymi geresniais triukšmo parametrais. Mirgėjimo triukšmas:

$$v_{\text{mirg}} = \frac{K}{C_{\text{OX}}WLf}, \quad (9)$$

čia  $K$  – konstanta, kuri priklauso nuo gamybos proceso.

65 nm technologijoje  $W, L$  matmenys tris kartus mažesni, todėl ir mirgėjimo triukšmas yra didesnis.

Aukštuosiuose dažniuose (>10 MHz) pradeda dominuoti šiluminis triukšmas, kuris išreiškiamas taip:

$$V_{\text{sl}} = \sqrt{4kTRB}, \quad (10)$$

čia  $B$  – praleidžiamų dažnių juosta;  $k$  – Bolcmano konstanta;  $T$  – temperatūra;  $R$  – varža.

Iš 2 ir 4 lentelės matyti, kad 65 nm technologijoje tranzistorių išėjimo varžos ir PDOS praleidžiamų dažnių juosta yra mažesnės, todėl jų triukšmas aukštuosiuose dažniuose irgi mažas.

## Išvados

Darbe tiriamas PDOS stiprintuvų parametų verčių kitimas, juos mastelio nustatymo būdu perkeltant iš 0,18  $\mu\text{m}$  į 65 nm integrinę technologiją. Nustatant  $p$ -DOS stiprintuvo mastelį stiprinimo koeficientas sumažėjo 39,5 dB, SKPS – 35 %.  $n$ -PDOS atveju stiprinimo koeficientas sumažėjo 28,6 dB, SKPS – 38 %. Įėjimo triukšmo vertė abiem mastelio nustatymo atvejais padidėjo diapazone iki 1 MHz.

Pereinant prie technologijų, kuriose naudojama maža maitinimo įtampa, tradicinis mastelio nustatymo būdas neužtikrina parametų verčių išlaikymo, parametų paklaida išauga. Reikia ieškoti naujų schemos realizavimo metodų ir (arba) taikyti sudėtingesnius mastelio nustatymo metodus. Vienas iš būdų – nenaudoti tradicinių kaskodinių struk-

tūrų, kurios minimalaus matmens technologijose tampa nebeveiksmingos. Jas gali pakeisti kaskadiniai sprendimai arba struktūros, specialiai pritaikytos dirbti esant mažoms maitinimo įtampos vertėms.

## Literatūra

- Fiegna, C. 2000. The Effects of Scaling on the Performance of Small-signal MOS Amplifiers: a Physics-based Simulation Study, in *IEEE International Symposium on Circuits and Systems, May 28–31, 2000*, Geneva, Switzerland, (2): 733–736.
- Funaba, S.; Kitagawa, A.; Tsukada, T.; Yokomizo, G. 1998. A Fast and Accurate Method of Redesigning Analog Subcircuits for Technology Scaling, in *Design Automation Conference 1998. Proceedings of the ASP-DAC, 98. Asia and South Pacific*, 489–494.
- Galup-Montoro, C.; Schneider, M. C.; Coitinho, R. M. 2001. Scaling Rules Allow the Reuse of MOS Analog Design, *Microelectronic Systems Education*, 8–9.
- Levi, T.; Lewis, N.; Tomas, J.; Fouillat, P. 2006. Scaling rules for MOS analog design reuse, in *Mixed Design of Integrated Circuits and System. Proceedings of the International Conference*, 378–382.

## OPERATIONAL AMPLIFIER ANALYSIS WHEN MIGRATING FROM 0.18 $\mu\text{m}$ TO 65 nm CMOS TECHNOLOGY

K. Kiela, M. Jurgo

Abstract

The article offers the analysis of operational amplifier parameter changes, when circuits are scaled from 0.18  $\mu\text{m}$  to 65 nm CMOS technology. Two two-stage operational amplifiers were designed for this purpose: first uses  $n$ -MOS input differential pair; second uses cascaded active loads structure and  $p$ -MOS type input differential pair. The operational amplifiers were designed in 0.18  $\mu\text{m}$  CMOS technology and scaled to 65 nm CMOS. Other scaling methods were also analysed when redesigning circuits from one IC technology to another. Results of the original and scaled operational amplifier parameters are presented and analysed.

**Keywords:** fully differential, operational amplifier, scaling, CMOS, parameters, gain, design, integrated circuits, redesign.